

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-178110

(43)Date of publication of application : 30.06.1998

(51)Int.Cl.

H01L 21/8244

H01L 27/11

H01L 21/8238

H01L 27/092

H01L 29/78

(21)Application number : 08-339345

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.12.1996

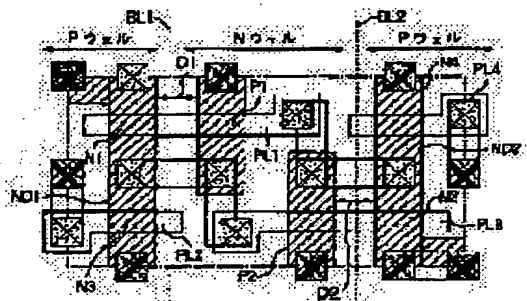
(72)Inventor : HARA HIROYUKI
MATSUI MASAKI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a layout structure of a semiconductor storage device whose element area is reduced, by using a trench element separation technique and such a newest process technique as stacked via structure, to obtain a metal wiring layer structure of three layers or more.

SOLUTION: In a P-well region and an N-well region in which an inverter, constituting a SRAM cell (static random access memory), is formed, the P-well region is divided into two sections and they are placed on both sides of the N-well region, and boundary lines BL1 and BL2 are so formed as to run in parallel with bit lines BL/BL. By employing such a layout as above, diffusion layers ND1 and ND2 in the P-well region are provided with a simple form with no bent part, and a cell area is reduced.



LEGAL STATUS

[Date of request for examination] 03.03.2000

[Date of sending the examiner's decision of rejection] 29.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-16535

[Date of requesting appeal against examiner's decision of rejection] 28.08.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-178110

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/8244

H 0 1 L 27/10

3 8 1

27/11

27/08

3 2 1 K

21/8238

29/78

3 0 1 C

27/092

29/78

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号

特願平8-339345

(22) 出願日

平成8年(1996)12月19日

(71) 出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

原 浩 幸

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(72) 発明者

松 井 正 貴

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74) 代理人

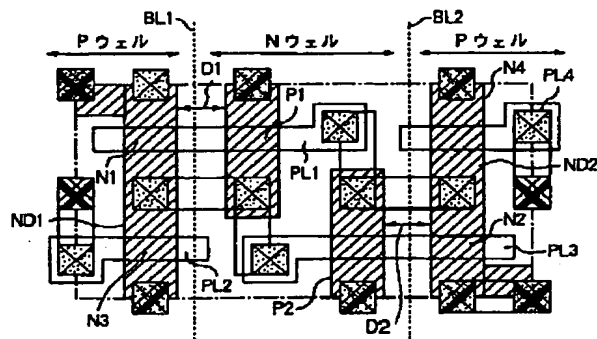
弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 従来のSRAMセルでは、拡散層に折れ曲り部が存在するなどのレイアウト上無駄な面積が必要であった。

【解決手段】 SRAMセルを構成するインバータが形成されたPウェル領域及びNウェル領域に関し、Pウェル領域が2つに分割されてNウェル領域の両側に配置され、境界線BL1、BL2がビット線BL、/BLに平行に走るように形成されており、このようなレイアウトにすることでPウェル領域内の拡散層ND1、ND2が折れ曲り部のない簡易な形状となり、セル面積が縮小される。



【特許請求の範囲】

【請求項1】第1のNチャネル型MOSトランジスタと第1のPチャネル型MOSトランジスタとを含む第1のインバータと、

第2のNチャネル型MOSトランジスタと第2のPチャネル型MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、

前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル型MOSトランジスタと、

前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、前記ワード線にゲートが接続された第4のNチャネル型MOSトランジスタとを備え、

前記第1、第2、第3及び第4のNチャネル形MOSトランジスタと前記第1及び第2のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタが形成されたPウェル領域と前記第1及び第2のPチャネル形MOSトランジスタが形成されたNウェル領域との境界線と平行になるように設定されていることを特徴とする半導体記憶装置。

【請求項2】前記Pウェル領域は、第1、第2のウェル領域から成り、前記第1、第2のPチャネル形MOSトランジスタが配置されたNウェル領域の両側に、この第1、第2のPウェル領域が配置されており、

前記第1のPウェル領域に前記第1、第3のNチャネル形MOSトランジスタが形成され、前記第2のPウェル領域に前記第2、第4のNチャネル形MOSトランジスタが形成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記第3のNチャネル形MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル形MOSトランジスタのゲートと前記第1のPチャネル形MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、

前記第4のNチャネル形MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル形MOSトランジスタのゲートと前記第2のPチャネル形MOSトランジスタのゲートとに用いられる第4の多結晶シリコン配線層とが平行に配置され、前記第1の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは分離して形成され、前記ワード線を構成する金属配線層とコンタクトを介して電気的に接続されることを特徴とする請求項3記載の半導体記憶装置。

【請求項4】前記第1、第2、第3及び第4のNチャネ

ル形MOSトランジスタと前記第1及び第2のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が、前記ビット線に平行になるように設定されていることを特徴とする請求項1乃至3のいずれかに記載の半導体記憶装置。

【請求項5】前記第2の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置され、

前記第1の多結晶シリコン配線層と前記第4の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置されていることを特徴とする請求項3記載の半導体記憶装置。

【請求項6】前記第1のNチャネル形MOSトランジスタと前記第3のNチャネル形MOSトランジスタとは、前記第1のPウェル領域内の同一の拡散層に形成され、前記第2のNチャネル形MOSトランジスタと前記第4のNチャネル形MOSトランジスタとは、前記第2のPウェル領域内の同一の拡散層に形成されていることを特徴とする請求項3乃至5のいずれかに記載の半導体記憶装置。

【請求項7】前記第1、第3のNチャネル形MOSトランジスタ及び前記第1のPチャネル形MOSトランジスタと、前記第2、第4のNチャネル形MOSトランジスタ及び前記第1のPチャネル形MOSトランジスタとは、メモリセルの中心に対して点対称の関係になるように配置されていることを特徴とする請求項1乃至6記載の半導体記憶装置。

【請求項8】前記第1、第2のビット線と、前記第1、第2のPチャネル形MOSトランジスタのソースに接続された電源線とが第2層金属配線層で構成され、前記ワード線と前記第1、第2のNチャネル形MOSトランジスタのソースに接続された接地線とが第3層金属配線層で構成されていることを特徴とする請求項5乃至7記載の半導体記憶装置。

【請求項9】前記第3のNチャネル形MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル形MOSトランジスタのゲートと前記第1のPチャネル形MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、

前記第4のNチャネル形MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル形MOSトランジスタのゲートと前記第2のPチャネル形MOSトランジスタのゲートとに用いられる第4の多結晶シリコン配線層とが平行に配置され、前記ワード線が第1、第2の金属配線層に分離して形成され、

前記第1の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは分離して形成されており、金属配線層とコンタクトを介して、前記第1、第2の金属配線層に

それぞれ電氣的に接続されることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】前記第1、第2のビット線にはそれぞれ独立して第1、第2のセンスアンプが接続されており、書き込み時には、同一セル内の前記第1、第2のワード線が同時に選択され、

読み出し時には、前記第1、第2のワード線が独立して異なるセルを選択し、前記第1、第2のビット線を介して前記第1、第2のセンスアンプからそれぞれのセルから読み出されたデータを出力することを特徴とする請求項9記載の半導体記憶装置。

【請求項11】第1のNチャネル形MOSトランジスタと第1のPチャネル形MOSトランジスタとを含む第1のインバータと、

第2のNチャネル形MOSトランジスタと第2のPチャネル形MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、

前記第1のインバータの出力端子にドレインが接続され、第1のビット線にソースが接続され、ワード線にゲートが接続された第3のPチャネル形MOSトランジスタと、

前記第2のインバータの出力端子にドレインが接続され、第2のビット線にソースが接続され、ワード線にゲートが接続された第4のPチャネル形MOSトランジスタとを備え、

前記第1及び第2のNチャネル形MOSトランジスタと前記第1、第2、第3及び第4のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が前記第1及び第2のNチャネル形MOSトランジスタが形成されたPウェル領域と前記第1、第2、第3及び第4のPチャネル形MOSトランジスタが形成されたNウェル領域との境界線と平行になるように設定されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に関し、特にCMOS構成のSRAM (static random access memory) セルのレイアウトに関するものである。

【0002】

【従来の技術】CMOS構成のSRAMは、論理ICに混載される記憶装置として幅広く用いられている。この記憶装置を構成する記憶要素として、最も基本的なものが図16に示された1ポートメモリセル (SRAMセル) であり、6個のトランジスタで構成されている。

【0003】Pチャネル形MOSトランジスタP1及びNチャネル形MOSトランジスタN1で、等価回路を示した図17におけるインバータIN2が構成され、Pチャネル形MOSトランジスタP2及びNチャネル形MO

SトランジスタN2でインバータIN1が構成されている。このように、インバータIN1及びIN2は、入出力端子が相互に交差接続された関係にある。インバータIN1の出力端子及びインバータIN2の入力端子は、トランスファゲートトランジスタN3を介してビット線BLに接続され、インバータIN1の入力端子及びインバータIN2の出力端子は、トランスファゲートトランジスタN4を介してビット線/BLに接続されており、さらにトランジスタN3及びN4のゲートはワード線WLに接続されている。

【0004】このような6トランジスタメモリセルは、従来は図10及び図11に示されたようなレイアウトで配置されていた。ここで、図10は基板表面上に形成されたトランジスタを構成する拡散層と、その上面に形成された多結晶シリコン配線層、さらにその上面に形成された1層目の金属配線層1を含む下地を示し、図11はさらにその上面に形成された2乃至3層目の金属配線層2、3を含む上地を示している。図10及び図11で用いられているコンタクトやヴィアホールの記号は図12(a)に、図10で用いられる拡散層、多結晶シリコン膜、金属配線層1の記号は図12(b)に、図11で用いられる金属配線層2、3の記号は図12(c)に示されるようである。

【0005】図11に示されたワード線WLに平行に、図10に示されたPチャネル形MOSトランジスタP1及びP2を形成するNウェル領域と、Nチャネル形MOSトランジスタN1～N4を形成するPウェル領域との境界線BL11が存在する。この境界線BL11に平行な線A-Aの上部は、トランジスタP1のゲートに接続された多結晶シリコン配線層PL11と、トランジスタP2のゲートに接続された多結晶シリコン配線層PL12とが、並進対称に配置されている。

【0006】さらに、線A-Aの下部は、トランジスタN1及びN3を構成する拡散層DR11と、トランジスタN2及びN4を構成する拡散層DR12とが、ワード線WLに直交するy軸に鏡映対象に配置されている。

【0007】図10から明らかなように、このレイアウトでは、接地線GNDとワード線WLとが金属配線層3により形成され、ビット線BL及び/BLが金属配線層2で形成されていることを除いて、他の全ては多結晶シリコン配線層PL11、PL12と金属配線層1で構成されている。また、多結晶シリコン配線層PL11、PL12で構成されるワード線WLは当該メモリセルの領域を横断して隣接する他のメモリセルのワード線WLと接続するので、金属配線層3は機能上は不要である。さらに、接地線GNDをビット線BL及び/BLと平行に金属配線層2により構成することもできる。従って、図10及び図11に示されたレイアウトは、多結晶シリコン配線層PL11、PL12及び金属配線層1及び2で構成することも可能である。

【0008】このような従来のレイアウトは、プロセス技術により限定される設計基準（デザインルール）が、以下のような条件を満たすように最小面積で構成されていた。

（a 1）金属配線層の層数が1層ないし2層までである。

（a 2）金属配線層の最小線幅と最小間隔の設計基準が、多結晶シリコン層のものより大きい（約2倍）。

（a 3）拡散層又は多結晶シリコン配線層と金属配線層1との開口部であるコンタクトホールと、金属配線層1と金属配線層2との間の開口部である第1スルーホール又は第1ヴィアホールとが、上下方向に直接重なることがないようにする。また、コンタクトホールの面積が、通常の金属配線層の最小線幅の約2倍と大きいので、セル内には多くのコンタクトホールやスルーホールを設けないようにしてセル面積が増大するのを防止する。

（a 4）Pチャネル形MOSトランジスタとNチャネル形MOSトランジスタとの間には、Nウエル領域とPウエル領域との間の境界が存在し、このような導電型の異なるウエル領域の分離には、LOCOS法による素子分離を行っている。従って、Pウエル領域とNウエル領域との分離幅は、同一導電型のウエル領域の素子分離幅に比べて著しく大きく（約4倍）とる必要がある。

【0009】以上のような条件を満たす必要があるため、以前は配線は極力多結晶シリコン膜により構成し、Pウエル領域とNウエル領域との分離領域において複雑な配線の交差接続を行うなどの無駄な領域の有効活用が必要であった。

【0010】しかし、近年のプロセス技術の進歩により、設計基準において次のような変化が生じてきた。

【0011】先ず、化学機械研磨技術（CMP）の実用化に伴い、金属配線層を平坦化する技術が進歩したことにより、

（b 1）金属配線層を3層、4層まで増加させても、歩留まりの著しい低下を招くことがない。

（b 2）金属配線層の最小線幅及び最小間隔の設計基準が、多結晶シリコン層と大差なくなった。

（c 2）ボードレスコンタクト技術が導入され、コンタクト部の面積が金属配線層の最小線幅と同一の設計基準で形成することが可能になった。さらに、コンタクトホール、スルーホールを、直接上下に重ねて形成するスタックトヴィア構造が可能となった。

【0012】さらに、素子分離を行う際に、LOCOS法からトレンチ分離法（STI）に進歩したことにより、

（c 1）Pウエル領域とNウエル領域との分離幅が、同一導電型のウエル領域（Pウエル領域とPウエル領域、Nウエル領域とNウエル領域）の素子分離幅とほぼ同一になった。

【0013】このようなプロセス技術の進歩があると、

図10及び図11に示されたようなレイアウトは、最適な配置がなされているとは言えない。例えば、多結晶シリコン配線層PL11及びPL12は、それぞれT字型の形状をして相互に並進対象に配置されており、無駄な領域が大きい。また、Nチャネル形MOSトランジスタN1とNチャネル形MOSトランジスタN3とが相互に直交するように配置されるため、拡散層がL字型に折れ曲がっており、やはりセル面積に無駄が生じている。

【0014】図10及び図11に示されたレイアウトを改善したものを、図13及び図14に示す。基本的なトランジスタN1～N4、P1～P2の配置、及び幾何学的形状は、図10及び図11のものと同様である。相違点は、図10及び図11に示されたレイアウトでは交差接続していた多結晶シリコン層PL11及びPL12を、金属配線層2に替えて構成している点にあり、この変更に伴いビット線BL及び／BLと接地線GNDとを金属配線層3により構成している。この図13及び図14に示されたレイアウトによれば、図10及び図12に示されたものより約10%面積が減少する。

【0015】しかし、図13及び図14のレイアウトにおいても、トランジスタN1とN3、トランジスタN2とN4をそれぞれ構成する拡散層がL字型の形状とならざるを得ず、セル面積に無駄が生じていた。

【0016】

【発明が解決しようとする課題】上述のように、従来のSRAMセルのレイアウトには拡散層がL字型の形状となるなど幾何学的形状に無駄があり、素子面積が大きいという問題があった。

【0017】本発明は上記事情に鑑みてなされたもので、トレンチ素子分離技術やスタックトヴィア構造等の最新のプロセス技術を用いて3層以上の金属配線層構造とすることにより、素子面積を縮小することが可能な半導体記憶装置のレイアウト構造を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の半導体記憶装置は、第1のNチャネル形MOSトランジスタと第1のPチャネル形MOSトランジスタとを含む第1のインバータと、第2のNチャネル形MOSトランジスタと第2のPチャネル形MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル形MOSトランジスタと、前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、前記ワード線にゲートが接続された第4のNチャネル形MOSトランジスタとを備え、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタと前記第

1及び第2のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタが形成されたPウェル領域と前記第1及び第2のPチャネル形MOSトランジスタが形成されたNウェル領域との境界線と平行になるように設定されていることを特徴としている。

【0019】ここで、前記Pウェル領域は、第1、第2のウェル領域から成り、前記第1、第2のPチャネル形MOSトランジスタが配置されたNウェル領域の両側に、この第1、第2のPウェル領域が配置されており、前記第1のPウェル領域に前記第1、第3のNチャネル形MOSトランジスタが形成され、前記第2のPウェル領域に前記第2、第4のNチャネル形MOSトランジスタが形成されていてもよい。

【0020】また、前記第3のNチャネル形MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル形MOSトランジスタのゲートと前記第1のPチャネル形MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、前記第4のNチャネル形MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル形MOSトランジスタのゲートと前記第2のPチャネル形MOSトランジスタのゲートとに用いられる第4の多結晶シリコン配線層とが平行に配置され、前記第1の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは分離して形成され、前記ワード線を構成する金属配線層とコンタクトを介して電気的に接続されていてもよい。

【0021】また、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタと前記第1及び第2のPチャネル形MOSトランジスタのそれぞれのソース・ドレインの配置方向が、前記ビット線と平行になるように設定されていてもよい。

【0022】あるいは、前記第2の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置され、前記第1の多結晶シリコン配線層と前記第4の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置されていてもよい。

【0023】前記第1のNチャネル形MOSトランジスタと前記第3のNチャネル形MOSトランジスタとは、前記第1のPウェル領域内の同一の拡散層に形成され、前記第2のNチャネル形MOSトランジスタと前記第4のNチャネル形MOSトランジスタとは、前記第2のPウェル領域内の同一の拡散層に形成されていてもよい。

【0024】また、前記第1、第3のNチャネル形MOSトランジスタ及び前記第1のPチャネル形MOSトランジスタと、前記第2、第4のNチャネル形MOSトランジスタ及び前記第1のPチャネル形MOSトランジスタ

とは、メモリセルの中心に対して点对称の関係になるように配置されるのが望ましい。

【0025】前記第1、第2のビット線と、前記第1、第2のPチャネル形MOSトランジスタのソースに接続された電源線とが第2層金属配線層で構成され、前記ワード線と前記第1、第2のNチャネル形MOSトランジスタのソースに接続された接地線とが第3層金属配線層で構成されてもよい。

【0026】前記第3のNチャネル形MOSトランジスタのゲートに用いられる第1の多結晶シリコン配線層と、前記第1のNチャネル形MOSトランジスタのゲートと前記第1のPチャネル形MOSトランジスタのゲートとに用いられる第2の多結晶シリコン配線層とが平行に配置され、前記第4のNチャネル形MOSトランジスタのゲートに用いられる第3の多結晶シリコン配線層と、前記第2のNチャネル形MOSトランジスタのゲートと前記第2のPチャネル形MOSトランジスタのゲートとに用いられる第4の多結晶シリコン配線層とが平行に配置され、前記ワード線が第1、第2の金属配線層に分離して形成され、前記第1の多結晶シリコン配線層と前記第3の多結晶シリコン配線層とは分離して形成されており、金属配線層とコンタクトを介して、前記第1、第2の金属配線層にそれぞれ電気的に接続されるようにレイアウトすることもできる。

【0027】前記第1、第2のビット線にはそれぞれ独立して第1、第2のセンスアンプが接続されており、書き込み時には、同一セル内の前記第1、第2のワード線が同時に選択され、読み出し時には、前記第1、第2のワード線が独立して異なるセルを選択し、前記第1、第2のビット線を介して前記第1、第2のセンスアンプからそれぞれのセルから読み出されたデータを出力するようにすることもできる。

【0028】上記発明ではいずれも第1、第2のインバータと第1、第2のビット線との間のトランジスタにNチャネル形MOSトランジスタを用いているが、Pチャネル形MOSトランジスタを用いて構成してもよい。

【0029】

【発明の実施の形態】以下に、本発明の一実施の形態について図面を参照して説明する。本発明の第1の実施の形態による半導体記憶装置を構成するSRAMセルのレイアウトを、図1及び図2に示す。図1に、半導体基板表面に形成された拡散層と、その上面に形成された多結晶シリコン膜、金属配線層1を含む下地を示し、図2にその上面に形成された金属配線層2及び3を含む上地を示す。図3(a)の各種記号は、図1及び図2において用いられているセル境界線、コンタクト及びビア1、2を示し、図3(b)の記号は拡散層、多結晶シリコン膜、金属配線層1、図3(c)の記号は金属配線層2、3をそれぞれ示す。

【0030】図1のように、中央にPチャネル形MOS

トランジスタP1及びP2が形成されたNウェル領域が配置され、その両側にNチャネル形MOSトランジスタN1及びN3が形成されたPウェル領域とNチャネル形MOSトランジスタN2及びN4が形成されたPウェル領域とが配置されている。

【0031】ワード線WLに接続されるワード線トランジスタN3のゲートとトランジスタN4のゲートとは、分離した多結晶シリコン配線層により構成されており、金属配線層3で形成されたワード線WLにはスタックトビアを介してそれぞれ別に接続されている。図2に示されたように、ビット線BL及び／BLは金属配線層2でそれぞれ別々に形成されている。電源線Vddは、ビット線BL及び／BLの間の中央部に金属配線層2によりビット線に平行に形成されている。ワード線WLは、ビット線BL及び／BLに直交する方向に金属配線層3で形成され、接地線GNDはワード線WLの両側に平行に2本の金属配線層3で形成されている。また、Pウェル領域の基板へのコンタクトは、コンタクト+ビア1+ビア2から成るスタックトビア構造により、接地された金属配線層3からPウェル領域内の拡散層まで電気的に接続されている。

【0032】図10及び図11、又は図13及び図14に示された従来のレイアウトでは、Nウェル領域とPウェル領域との境界線BL11、BL12が、ビット線BL及び／BLと直交するように走っていた。これに対し、第1の実施の形態におけるレイアウトは、Nウェル領域とPウェル領域の境界線BL1、BL2が、ビット線BL及び／BLに平行に走っている点に特徴がある。これにより、導電型の異なるウェル領域の境界線を挟んでインバータを構成するPチャネル形MOSトランジスタP1とNチャネル形MOSトランジスタN1を、トランスファゲートトランジスタのNチャネル形MOSトランジスタN3と平行に位置するように配置することができる。この結果、トランジスタN1及びN3が形成されたPウェル領域内のN型拡散層ND1と、トランジスタN2及びN4が形成されたN型拡散層ND2とを、折り曲げること無くビット線BL及び／BLに平行に直線状に形成することができ、無駄な領域の発生を防止することができる。

【0033】さらに、本実施の形態では、トランジスタP1とトランジスタN1から成る一方のインバータ及びトランスファゲートトランジスタN3と、トランジスタP2とトランジスタN2から成る他方のインバータ及びトランスファゲートトランジスタN4とが、SRAMセルの中心に対して点対称に配置されている点にも特徴がある。このように配置することで、2つのインバータを交差接続する配線において、トランジスタP1、P2、N1及びN2のゲート、ドレインを内部接続する配線を空間を交差するように接続する必要がなくなり、配線領域を削減することができる。

【0034】また、トランジスタN1及びP1の多結晶シリコン配線層PL1とトランジスタN4の多結晶シリコン配線層PL2とをワード線WLに平行に一直線上に配置し、同様にトランジスタN3及びP2の多結晶シリコン配線層PL2とトランジスタN2の多結晶シリコン配線層PL4とをワード線WLに平行に一直線上に配置することができる。即ち、全ての多結晶シリコン配線層PL1～PL4と金属配線層2及び3とは平行であり、拡散層ND1及びND2はこれに直交するように配置されており、従来存在していた折れ曲がり部の形成が不要である。

【0035】ところで、このレイアウトでは図1に示されたように、二つのPウェル領域とNウェル領域との間に分離領域が2箇所存在する。しかし、トレンチ素子分離技術を用いることで、導電型の異なるウェル領域間の素子分離幅を、導電型が同一のウェル領域間の素子分離幅とほぼ同程度にまで縮小することができるため、セル面積の増大が抑制される。この結果、本実施の形態によれば図10及び11に示された従来の場合よりも約35%面積を縮小することが可能である。

【0036】また、第1の実施の形態によれば、セル面積が縮小されるのみならず、以下のような理由によりノイズが低減されるという効果も得られる。本実施の形態によるレイアウトでは、セルの横方向(x方向)の長さ、即ちワード線WL方向の長さが、縦方向(y方向)の長さ、即ちビット線BL及び／BLの長さに対して相対的に長い。これにより、セルのx方向のピッチ間にそれぞれ配置され、ビット線BL及び／BLに接続されるセンスアンプのレイアウトが容易になる。

【0037】さらに、セル形状がy方向より相対的にx方向に長いことで、ワード線WL方向に接続されるセルの数が従来のレイアウトよりも減少する。1本のワード線に接続されるセルの数が少ないほど読み出し時に流れるセル電流は減少する。従って、本実施の形態によれば消費電力を低減することができる。

【0038】また、論理ICではメモリセル上に4層目の金属配線層を用いてバスラインを走らせる場合が多いが、以下の理由によりセル当たりのビット線BL及び／BL方向の配線リソースを多く得られるという効果も奏する。即ち、メモリセル上にバスラインが走る場合、ビット線BL、／BLとバスラインとが上下に平行して長い距離を走るように配置すると、バスラインの信号変化が容量結合ノイズとなってビット線BL、／BLに重畳し、誤動作を発生させる。本実施の形態では、ビット線BL、／BLの真上をはずしてビット線BL、／BLに平行にバスラインを平行に配置することでこのような誤動作を防止することができる。また、ビット線BL、／BLが金属配線層2で構成されており、メモリセル上を走る金属配線層4で構成されたバスラインとの間に、金属配線層3から成る接地線GNDとワード線WLが存在

しており、これが金属遮蔽層として作用する。このため、誤動作の発生を確実に防止することが可能である。

【0039】本発明の第2の実施の形態による半導体記憶装置のレイアウトは、図4及び図5に示されるようであり、用いられている記号を図6(a)～(c)に示す。

【0040】本実施の形態は、上記第1の実施の形態と比較して、金属配線層3で形成されたワード線WLから多結晶シリコン配線層へコンタクトをとる領域をPウェル領域に設けており、さらに金属配線層2から成る接地線GNDと電源線Vddをビット線BL及び／BLに平行に設けている点が相違する。この実施の形態によるレイアウトは、ウェル領域の分離幅が素子分離幅よりも比較的大きい場合に好適であり、上記第1の実施の形態における上記効果に加えて、次のような本実施の形態特有の効果が得られる。

【0041】電源線Vddと接地線GNDがワード線WLと平行に配置されている場合は、選択されたワード線に接続された全てのセルを流れる電流が1本の電源線Vdd及び接地線GNDに流れ込む。これに対し、本実施の形態のように、電源線Vddと接地線GNDをビット線BL及びBLに平行に走らせることで、セルの読み出し又は書き込み時に電源線Vdd及び接地線GNDに流れる電流を、当該セル一つに限定することができる。この結果、第2の実施の形態によれば上記第1の実施の形態よりも、電源線Vdd及び接地線GNDのエレクトロマイグレーション及び電圧降下に対する動作マージンを大きくとることが可能である。

【0042】次に、本発明の第3の実施の形態による半導体記憶装置のレイアウトについて、図7～図9を用いて説明する。上記第2の実施の形態と比較し、金属配線層3で構成された2本のワード線WL1、2が設けられ、さらにトランジスタN3のゲートとトランジスタN4のゲートとがそれぞれ異なるワード線WL1、2に接続されている点が相違する。このようにワード線WL1、2を2本設けたことにより、1つのセル内で独立してトランジスタN3とN4とを制御することが可能になり、1組のビット線対BL、／BLに異なるセルからのデータを読み出すことが可能になる。従って、ビット線BLとビット線／BLとに1つずつセンスアンプを接続することで、シングルエンドの読み出しではあるが2ポートメモリとしての読み出しが可能になる。書き込み時には、ワード線WL1及びWL2とで同一セルを選択して、1ポートメモリとして動作させる。このようにして、本実施の形態では通常の1ポートメモリと同一のセル面積により、読み出し時には2ポートメモリ、書き込み時には1ポートメモリを実現することができる。

【0043】上述した実施の形態は、いずれも一例であって本発明を限定するものではない。例えば、上記第1乃至第3の実施の形態による半導体記憶装置では、い

れも図16及び17に示されたように、トランスファゲートトランジスタがNチャネル形MOSトランジスタN3及びN4で構成されている。しかし、図21及び図22のように、トランスファゲートトランジスタをPチャネル形MOSトランジスタP3及びP4で構成し、1つのSRAMセルを4つのPチャネル形MOSトランジスタP1～P4と2つのNチャネル形MOSトランジスタN1～N2で構成してもよい。この場合には、レイアウトとしては下地においてPウェル領域を中央部に配置し、その両側に二つのNウェル領域を配置し、上地において電源線Vddと接地線GNDとを入れ替えばよい。

【0044】例えば、上記第1の実施の形態におけるトランスファゲートトランジスタをPチャネル形MOSトランジスタP3及びP4で構成した場合のレイアウトは、図18及び図19に示されるようである。上地において、1つのPウェル領域にNチャネル形MOSトランジスタN1及びN2が形成され、その両側にPチャネル形MOSトランジスタP1及びP3が形成されたNウェル領域と、Pチャネル形MOSトランジスタP2及びP4が形成されたNウェル領域とが配置されており、下地では電源線Vddと接地線GNDとが入れ替わっている。同様に、上記第2及び第3の実施の形態に対しても、トランスファゲートトランジスタをPチャネル形MOSトランジスタで構成することが可能である。

【0045】

【発明の効果】以上説明したように、本発明の半導体記憶装置によれば、メモリセルを構成するインバータが形成されたPウェル領域とNウェル領域の境界線がビット線に平行に配置されることで、Pウェル領域又はNウェル領域内の拡散層の形状及び2つのインバータの交差接続部の形状を折れ曲り部のない簡易なものとしことができ、セル面積を縮小することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図2】同半導体記憶装置における上地のレイアウトを示した平面図。

【図3】図1、図2において用いられるコンタクト、ウィア、拡散層、及び配線層の各種記号を示した説明図。

【図4】本発明の第2の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図5】同半導体記憶装置における上地のレイアウトを示した平面図。

【図6】図4、図5において用いられるコンタクト、ウィア、拡散層、及び配線層の各種記号を示した説明図。

【図7】本発明の第3の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図8】同半導体記憶装置における上地のレイアウトを示した平面図。

【図9】図7、図8において用いられるコンタクト、ウ

ィア、拡散層、及び配線層の各種記号を示した説明図。

【図10】従来の半導体記憶装置における下地のレイアウトを示した平面図。

【図11】同半導体記憶装置における上地のレイアウトを示した平面図。

【図12】図10、図11において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

【図13】従来の他の半導体記憶装置における下地のレイアウトを示した平面図。

【図14】同半導体記憶装置における上地のレイアウトを示した平面図。

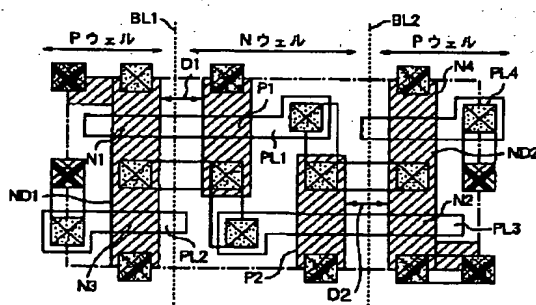
【図15】図13、図14において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

【図16】SRAMセルの構成を示した回路図。

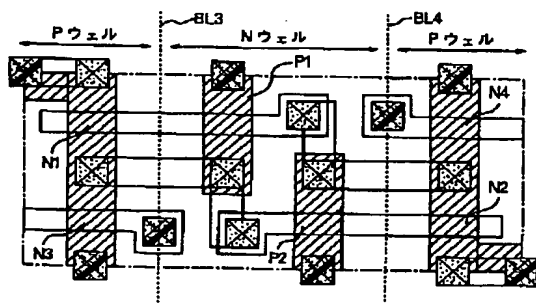
【図17】同SRAMセルの電氣的に等価な回路構成を示した回路図。

【図18】本発明の第4の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図1】



【図4】



【図19】同半導体記憶装置における上地のレイアウトを示した平面図。

【図20】図18、図19において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

【図21】本発明の第4の実施の形態による半導体記憶装置におけるSRAMセルの回路構成を示した回路図。

【図22】同SRAMセルの電氣的に等価な回路構成を示した回路図。

10 【符号の説明】

BL1～BL8 ビット線

WL、WL1、WL2 ワード線

GND 接地線

Vdd 電源線

N1～N4 Nチャネル形MOSトランジスタ

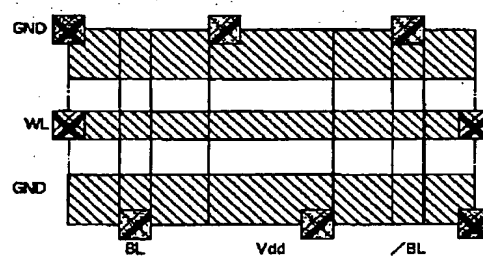
P1～P4 Pチャネル形MOSトランジスタ

IN1、IN2 インバータ

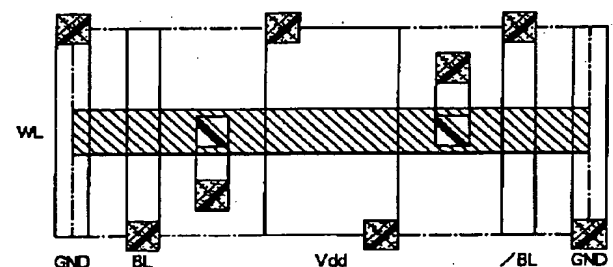
ND1、ND2 拡散層

PL1、PL2 多結晶シリコン配線層

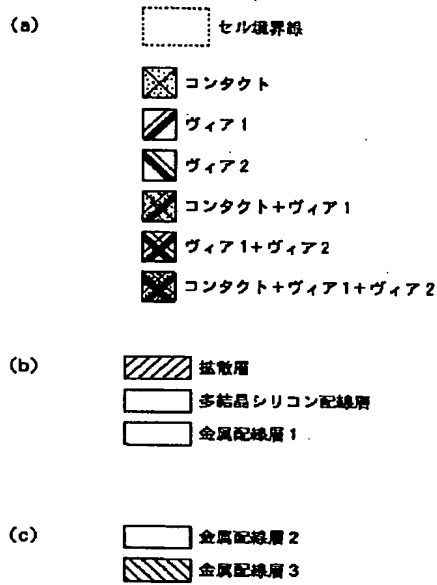
【図2】



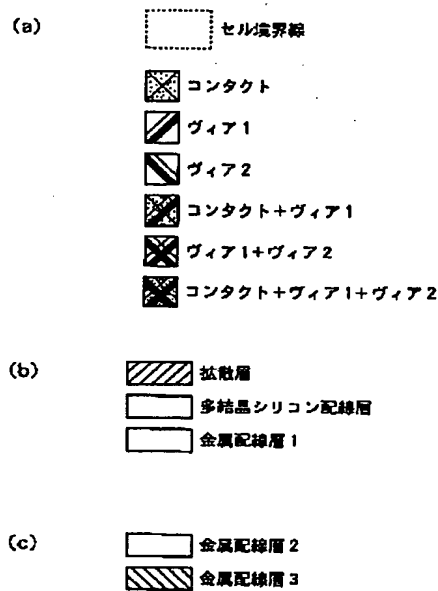
【図5】



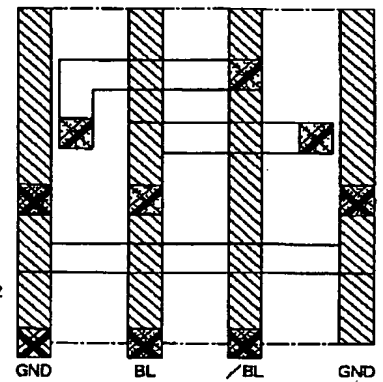
【図3】



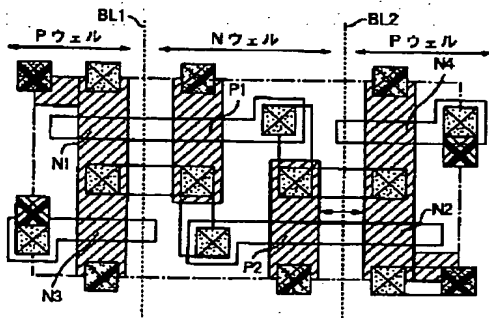
【図6】



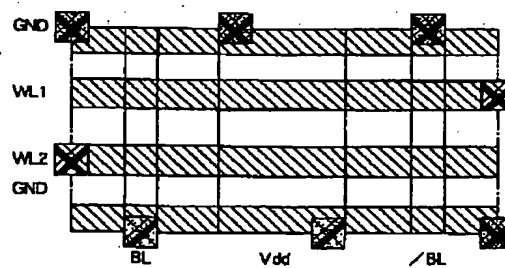
【図14】



【図7】

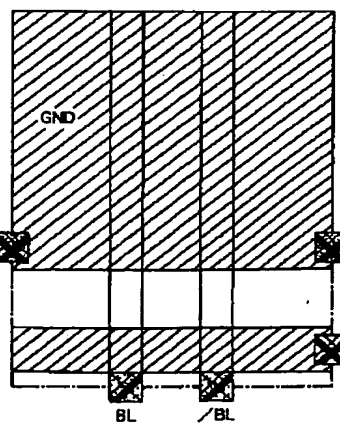
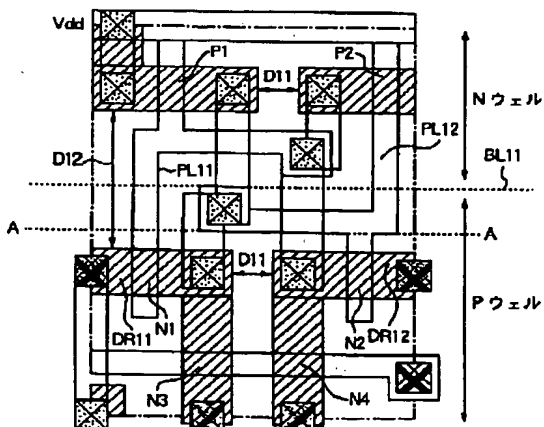


【図8】

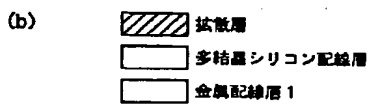
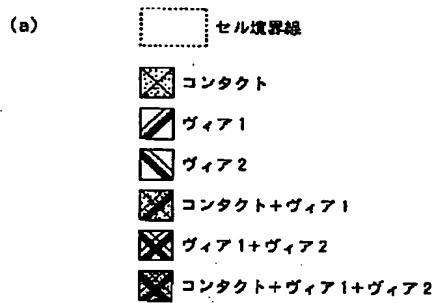


【図11】

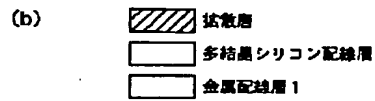
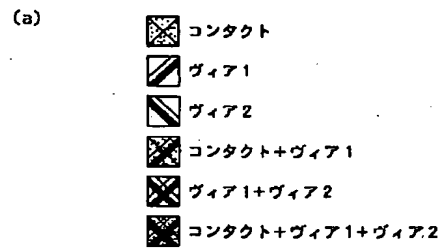
【図10】



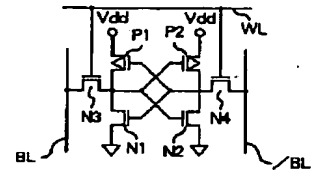
【図9】



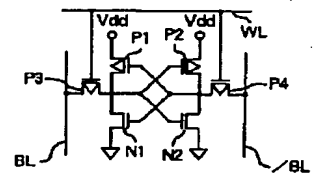
【図12】



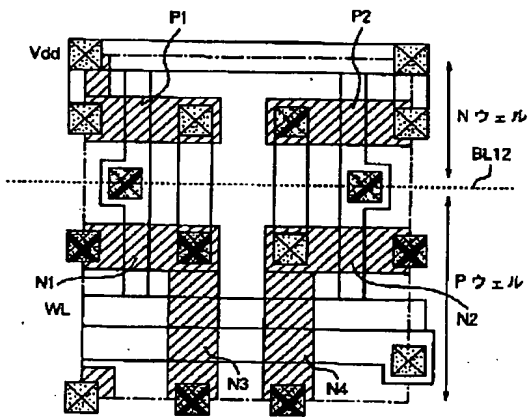
【図16】



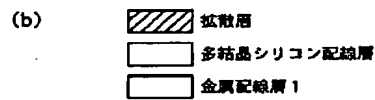
【図21】



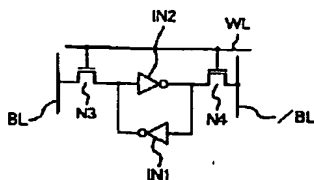
【図13】



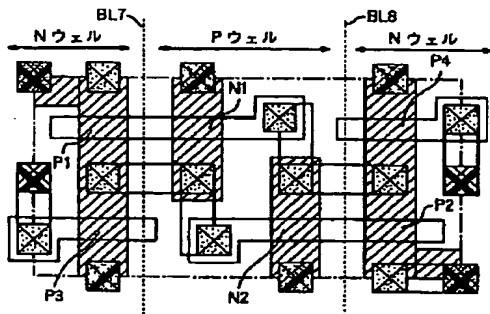
【図15】



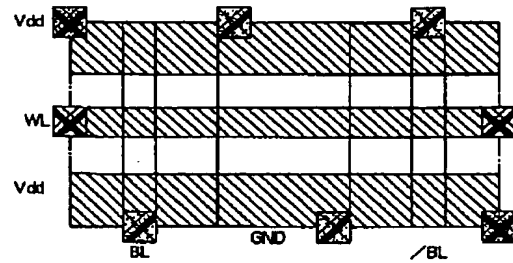
【図17】



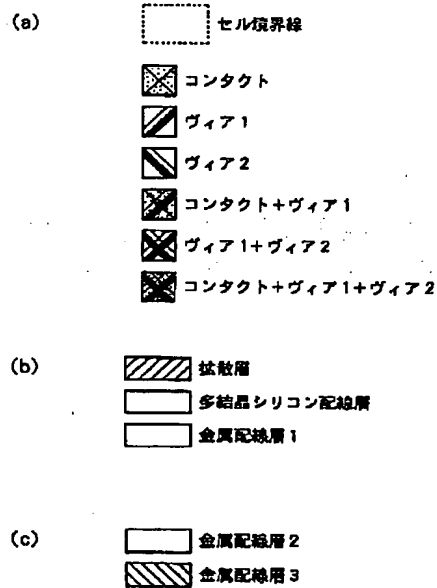
【図18】



【図19】



【図20】



【図22】

